

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-230692

(43)Date of publication of application : 29.08.1995

(51)Int.CI. G11C 11/41

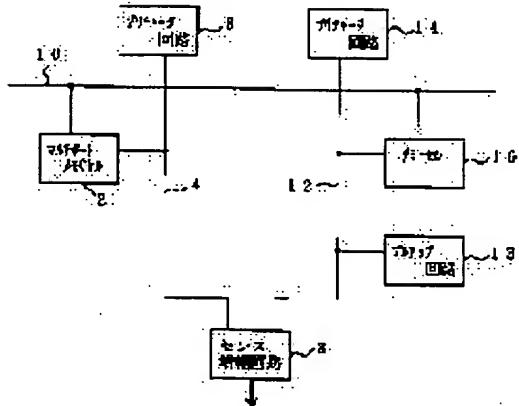
(21)Application number : 06-020195 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 17.02.1994 (72)Inventor : YAMAMOTO HIROAKI  
HIGAKI NAOSHI

## (54) MULTI-PORT MEMORY

### (57)Abstract:

**PURPOSE:** To perform read-out at high speed and to reduce power consumption increasing noise margin by making a reference voltage supplying circuit the same load constitution as a read-out bit line and pulling up a reference bit line in a pull up circuit.

**CONSTITUTION:** A reference bit line 12 used for reading out a multi-port memory cell 2 is made the same load constitution as a read-out bit line 4, and a pull up circuit 18 is connected to the bit line 12. Thereby, when one side value of a binary number is written in the cell 12, a potential on the bit line 4 is not varied, a potential on the bit line 12 is decreased gradually as variation is suppressed by the circuit 18. On the other hand, when the other value of the binary number is written in the cell 2, a potential on the bit line 4 is dropped more quickly than a potential on the bit line 12. Therefore, contents of the cell 2 can be discriminated from a difference of variation of a potential. By using this constitution, deviation of timing and a difference of a potential between the bit line 4 and the bit line 12 are almost eliminated, and read-out can be performed at high speed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(II)特許出願公開番号

特開平7-230692

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.  
G 11 C 11/41

識別記号

府内整理番号

F I

技術表示箇所

G 11 C 11/ 34

K

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平6-20195

(22)出願日 平成6年(1994)2月17日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72)発明者 山本 浩明  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 桑垣 直志  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(74)代理人 弁理士 古谷 史旺 (外1名)

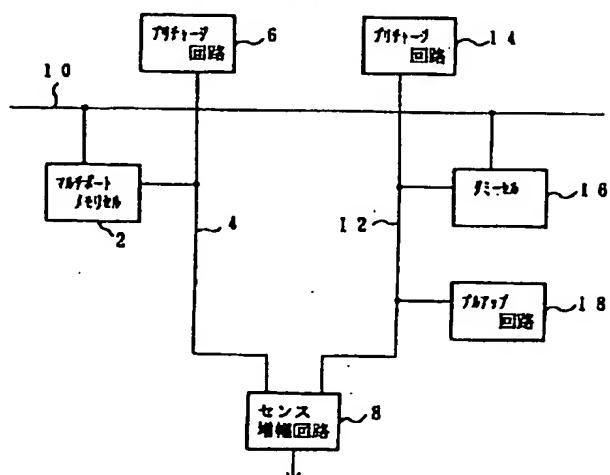
(54)【発明の名称】 マルチポートメモリ

(57)【要約】

【目的】 本発明は、マルチポートメモリに関し、読み出し誤動作をなくしつつ、読み出し速度の向上及び消費電力の低減を達成することを目的とする。

【構成】 マルチポートメモリセルは、読み出しワード線上への読み出されワード電圧の印加で読み出されたとき、マルチポートメモリセルの内容に応じて読み出しビット線上に電位変化を生じさせないか、又は微小変化を生じさせるマルチポートメモリにおいて、センス增幅回路の他方の入力端に一端を接続した参照ビット線と、参照ビット線の他端に接続されたプリチャージ回路と、参照ビット線にマルチポートメモリセル対応に設けられ且つマルチポートメモリセルと同じ出力回路構成とされ、読み出しワード線によって駆動されるダミーセルと、参照ビット線に接続されたブルアップ回路とを設けたことを特徴とする。

請求項1に記載する発明の原理ブロック図



## 【特許請求の範囲】

【請求項1】 マルチポートメモリセル(2)と、該マルチポートメモリセルの読み出し出力端に接続された読み出しビット線(4)と、該読み出しビット線(4)の一端に接続されたプリチャージ回路(6)と、前記読み出しビット線(4)の他端に一方の入力端を接続したセンス增幅回路(8)を有し、前記マルチポートメモリセル(2)は、読み出しワード線(10)上への読み出しワード電圧の印加で読み出されたとき、前記マルチポートメモリセル(2)の内容に応じて前記読み出しビット線(4)上に電位変化を生じさせないか、又は微小変化を生じさせるマルチポートメモリにおいて、前記センス增幅回路(8)の他方の入力端に一端を接続した参照ビット線(12)と、該参照ビット線(12)の他端に接続されたプリチャージ回路(14)と、前記参照ビット線(12)にマルチポートメモリセル対応に設けられ且つマルチポートメモリセルと同じ出力回路構成とされ、読み出しワード線(10)によって駆動されるダミーセル(16)と、前記参照ビット線(10)に接続されたブルアップ回路(18)とを設けたことを特徴とするマルチポートメモリ。

【請求項2】 請求項1に記載のマルチポートメモリにおいて、ダミービット線(20)と、該ダミービット線(20)の一端に接続されたプリチャージ回路(22)と、前記ダミービット線(20)にマルチポートメモリセル対応に設けられ且つマルチポートメモリセルと同じ出力回路構成とされ、読み出しワード線(14)によって駆動されるダミーセル(24)と、前記ダミーセル線(20)の電位変化をマルチポートメモリセルの読み出しタイミング信号として出力するタイミング信号出力回路(26)とを設けたことを特徴とするマルチポートメモリ。

【請求項3】 請求項2に記載のマルチポートメモリにおいて、読み出しタイミング信号をセンス增幅回路(8)のタイミング入力に供給することを特徴とするマルチポートメモリ。

【請求項4】 請求項2に記載のマルチポートメモリにおいて、センス增幅回路(8)の出力を外部に出力する出力回路(28)を動作させるタイミング信号として読み出しタイミング信号を供給することを特徴とするマルチポートメモリ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マルチポートメモリセルの読み出し回路を改良したマルチポートメモリに関する。

【0002】 従来からマルチポートメモリを使用してデータ処理を行っている。この形式のメモリにおいても、シングルポートメモリの場合と同様、その読み出しにおいて、タイミングマージンや、ノイズマージンが大きいことが要求されるし、又読み出し時間が短く、消費電流の少ないことも要求されている。

【0003】

【従来の技術】 従来のマルチポートメモリの例として第1形式のデュアルポートメモリを図6に示す。図6に示す第1形式のデュアルポートメモリは、マルチポートメモリセルの読み出し駆動によりマルチポートメモリセルから出力される微小振幅の電圧を2本の読み出しビット線 $100_1$ 、 $100_2$ の内の対応する読み出しビット線上に出力させ、その電圧変化を前記対応する読み出しビット線、例えば $102_1$ が接続されているセンス增幅回路 $102_1$ へ供給して該センス增幅回路 $102_1$ へ供給されている参照電圧 $104_1$ との差動増幅を為して前記マルチポートメモリセルに記憶されているビット“1”又は“0”を高レベルの電圧、又は低レベルの電圧としてセンス増幅回路 $102_1$ から出力させることにより、デュアルポートメモリセルの読み出しを行っている。

【0004】 前述の読み出し駆動は、図7に示すように、2本の読み出しワード線 $106_1$ 、 $106_2$ のいずれか一方に所定の読み出しワード電圧を供給してMOSトランジスタ $110_1$ 、 $110_2$ を導通させることで行われる。そのとき、マルチポートメモリセル $114$ のラッチ $116$ にラッチされている内容に応じてMOSトランジスタ $113_1$ 、 $113_2$ が導通し、又は非導通となるから、プリチャージ回路 $107_1$ 、 $107_2$ によってプリチャージされている読み出しビット線 $100_1$ 、 $100_2$ の内の対応する読み出しビット線上には、デュアルポートメモリセル $114$ のラッチ $116$ に記憶されているビットの内容に従った微小振幅の電圧が現れる。

【0005】 前記読み出しに必要なタイミング信号、即ち差動増幅回路 $102_1$ 、 $102_2$ のタイミング信号(センスイネーブル信号)及び差動増幅回路 $102_1$ 、 $102_2$ の出力を外部に出力するための出力バッファ $103_1$ 、 $103_2$ のためのタイミング信号の生成は、クロック信号を入力とする複数段のゲート回路 $115$ を経て得るようにしている(図6参照)。

【0006】 なお、デュアルポートメモリセル $114$ への書き込みは、図7に示すように、書き込みビット線 $118_1$ 、 $118_2$ 上に書き込みたいビットに対応する電圧を書き込み増幅回路 $121_1$ 、 $121_2$ から供給した状態において、書き込みビット線 $118_1$ 、 $118_2$ のいずれかの線に対応する書き込みワード線 $122_1$ 、 $122_2$ 上に書き込みワード電圧を供給することによって

デュアルポートメモリセルに書き込みたいビットが書き込まれる。

【0007】第2形式のデュアルポートメモリの要部構成を図8及び図9に示す。即ち、図8に示すように、図7のラッチ116と、MOSトランジスタ1101及びMOSトランジスタ1102との間に、それぞれドライバ1151、1152を設けると共に、入力と出力との間に接続されたMOSトランジスタ1321、1322

(MOSトランジスタ1322は図8に図示せず)によりフィードバックを掛けたインバータ1301、1302(インバータ1302は図8に図示せず)でセンス増幅回路1021A、1022Aを構成してマルチポートメモリセル116の内容を電源電圧までフルスイングさせて読み出すようしている。そして、センス増幅回路1021A、1022A(センス増幅回路1022Aは図8に図示せず)から出力される信号は、出力バッファ1031A、1032A(出力バッファ1032Aは図8に図示せず)を経て出力される、その出力バッファ1031A、1032Aのタイミング信号は、クロック信号を複数段のゲート回路115Aを経て生成している。

【0008】

【発明が解決しようとする課題】図6及び図7に示すデュアルポートメモリにおいては、その製造プロセスのばらつきによりトランジスタの特性が変化したり、配線容量が変化することがあり、そのような場合には、タイミングのずれ、電位のずれが発生する。そのため、誤動作するおそれがある。このような不具合を回避するためには、タイミングマージンや、ノイズマージンを小さく設定せざるを得なくなる。その結果としてタイミングマージンや、ノイズマージンを大きく取れない。

【0009】図8に示すデュアルポートメモリにおいては、マルチポートメモリセルの内容に応じてこれに応答するドライバ1151、1152によりフルスイングさせているため、デュアルポートメモリの読み出しに時間が掛かるし、消費電力も大きくなる。

【0010】本発明は、斯かる技術的課題に鑑みて創作されたもので、読み出し誤動作を引き起こさないようにタイミングマージン、ノイズマージンを大きくしつつ、読み出し速度の向上及び消費電力の低減を達成し得るマルチポートメモリを提供することをその目的とする。

【0011】

【課題を解決するための手段】図1は、請求項1に記載する発明の原理ブロック図を示す。図2は、請求項2乃至請求項4に記載する発明の原理ブロック図を示す。

【0012】請求項1に記載する発明は、図1に示すように、マルチポートメモリセル2と、該マルチポートメモリセルの読み出し出力端に接続された読み出しビット線4と、該読み出しビット線4の一端に接続されたブリチャージ回路6と、前記読み出しビット線4の他端に一方の入力端を接続したセンス増幅回路8を有し、前記マ

ルチポートメモリセル2は、読み出しワード線10上への読み出しワード電圧の印加で読み出されたとき、前記マルチポートメモリセル2の内容に応じて前記読み出しビット線4上に電位変化を生じさせないか、又は微小変化を生じさせるマルチポートメモリにおいて、前記センス増幅回路8の他方の入力端に一端を接続した参照ビット線12と、該参照ビット線10の他端に接続されたブリチャージ回路14と、前記参照ビット線12にマルチポートメモリセル対応に設けられ且つマルチポートメモリセルと同じ出力回路構成とされ、読み出しワード線10によって駆動されるダミーセル16と、前記参照ビット線12に接続されたブルアップ回路18とを設けたことを特徴とする。

【0013】請求項2に記載する発明は、図2に示すように、請求項1に記載のマルチポートメモリにおいて、ダミービット線20と、該ダミービット線20の一端に接続されたブリチャージ回路22と、前記ダミービット線20にマルチポートメモリセル対応に設けられ且つマルチポートメモリセルと同じ出力回路構成とされ、読み出しワード線14によって駆動されるダミーセル24と、前記ダミーセル線20の電位変化をマルチポートメモリセルの読み出しタイミング信号として出力するタイミング信号出力回路26とを設けたことを特徴とする。

【0014】請求項3に記載する発明は、図2に示すように、請求項2に記載のマルチポートメモリにおいて、読み出しタイミング信号をセンス増幅回路8のタイミング入力に供給することを特徴とする。

【0015】請求項4に記載する発明は、図2に示すように、請求項2に記載のマルチポートメモリにおいて、センス増幅回路8の出力を外部に出力する出力回路28を動作させるタイミング信号として読み出しタイミング信号を供給することを特徴とする。

【0016】

【作用】請求項1に記載する発明は、マルチポートメモリセルの読み出しに用いられる参照ビット線12を読み出しビット線と同じ負荷構成にし、且つブルアップ回路18を接続したので、マルチポートメモリセルに2進の一方の値が書き込まれているときには、読み出しビット線4上の電位には変化はなく、参照ビット線12上の電位はブルアップ回路18によりその変化を抑えられつつ、時間の経過と共に漸減して行く。又、マルチポートメモリセルに2進の他方の値が書き込まれているときには、読み出しビット線4上の電位は、参照ビット線12上の電位よりも急速に低下して行く。

【0017】従って、センス増幅回路8は、前記電位の変化の差異から、マルチポートメモリセルに書き込まれている内容を判別して出力することができる。このような読み出しに供される参照ビット線12の負荷構成は、読み出しビット線4と同じ負荷構成とされているので、参照ビット線12及び読み出しビット線4のいずれもブ

ロセスのばらつき、配線容量の差異もほぼ同様となる。従って、タイミングのずれや、電位の変化の差異をほとんど無くし、タイミングマージン及びノイズマージンが大きく取れ、又読み出しビット線上的電圧変化を微小変化にしているので、読み出しを高速にすることができるし、消費電力を少なくすることができる。

【0018】請求項2に記載する発明は、マルチポートメモリセルの読み出しタイミング信号を出力するダミービット線20の負荷構成を読み出しビット線4の負荷構成と同様にしているので、プロセスのばらつき、配線容量の変化等も、読み出しビット線と、ダミービット線とでは、ほぼ同等となり、タイミング信号のずれ、電圧の変化もほぼ同等になる。従って、タイミングマージンが大きく取れ、タイミング合わせが容易になる。

【0019】請求項3に記載する発明は、請求項2に記載する発明の読み出しタイミング信号をセンス增幅回路8のタイミング信号として供給する。請求項2で得られる作用効果を享受し得る。

【0020】請求項4に記載する発明は、センス增幅回路8の出力信号を外部へ出力させる出力回路のタイミング信号として、請求項2に記載する発明の読み出しタイミング信号を供給する。従って、請求項2に記載する発明で得られる作用効果を享受し得る。

#### 【0021】

【実施例】図3は、請求項1乃至請求項4に係る発明の実施例を示す。この実施例もデュアルポートメモリで実施する例である。図3に示す構成要素のうち、図6及び図7に示す構成要素と同一の構成要素には同一の参照番号を付してその説明を省略する。又、デュアルポートメモリセルの書き込み側は、図3を明瞭にするため省略してあるが、それは図7と同一である。

【0022】デュアルポートメモリセルからの読み出し系のうちの読み出しビット線1001, 1002までの構成、即ちセンス增幅回路1021, 1022への読み出しビット線1001, 1002の接続までは、図6及び図7と同じである。ここで、センス增幅回路1022は、図示しないが、読み出しビット線1002に接続されるセンス增幅回路である。

【0023】これら両センス增幅回路1021, 1022毎に、デュアルポートメモリセルの読み出しのための参照電圧供給系及び読み出しタイミング信号供給系を次のように構成したことに、請求項1乃至請求項4に係る発明の特徴部分がある。以下に、参照電圧供給系及び読み出しタイミング信号供給系を説明するが、その際にデュアルポートメモリの一方の系を構成する構成要素の参照番号に添字0を付して該一方の系の構成要素の参照番号とする。又、他方の系を構成する構成要素の参照番号に添字1を付して該他方の系の構成要素の参照番号とする。但し、図3には、他方の系を構成する構成要素は、図面を簡略にするために図示していない。

【0024】センス增幅回路1021, 1022への参照電圧供給系は、それぞれ参照ビット線301, 302と、これら参照ビット線301, 302の一端に接続されるプリチャージ回路321, 322と、各参照ビット線301, 302にデュアルポートメモリセル対応に接続され、デュアルポートメモリセル114と同一の出力回路構成とされた参照電圧発生用のダミーセル341, 342と、各参照ビット線301, 302に接続されるプルアップ用N MOSトランジスタ361, 362とで構成されている。そして、参照ビット線301, 302の他端は、センス增幅回路1021, 1022の他方の入力端に接続されている。なお、ダミーセル341, 342は、MOSトランジスタ381, 401及びMOSトランジスタ382, 402から構成されている。

【0025】又、センス增幅回路1021, 1022、並びに出力バッファ1031, 1032へ読み出しタイミング信号を供給する読み出しタイミング信号供給系は、ダミービット線421, 422と、ダミーセル線421, 422の一端を接続されるプリチャージ回路441, 442と、デュアルポートメモリセル114の2つの読み出しポート1111, 1112対応にダミーセル線421, 422に接続され、デュアルポートメモリセル114の出力回路構成と同一とされたダミーセル461, 462と、ダミービット線421, 422の他端をセンス增幅回路1021, 1022のタイミング信号入力端に接続するゲート回路521, 522と、ゲート回路521, 522の出力を出力バッファ回路1031, 1032のタイミング信号入力端に接続するゲート回路541, 561とから成る。

【0026】図3において、デュアルポートメモリセル114は、図1及び図2のマルチポートメモリセル2に対応し、読み出しビット線1001, 1002は、図1及び図2の読み出しビット線4に対応する。プリチャージ回路1071, 1072は、図1及び図2のプリチャージ回路6に対応し、センス增幅回路1021, 1022は、図1及び図2のセンス增幅回路8に対応する。読み出しワード線1061, 1062は、図1及び図2の読み出しワード線10に対応し、参照ビット線301, 302は、図1及び図2の参照ビット線12に対応する。プリチャージ回路321, 322は、図1及び図2のプリチャージ回路14に対応し、ダミーセル341, 342は、図1及び図2のダミーセル16に対応する。プルアップ用N MOSトランジスタ361, 362は、図1及び図2のプルアップ回路18に対応する。ダミービット線421, 422は、図2のダミービット線20に対応し、プリチャージ回路441, 442は、図2のプリチャージ回路22に対応する。ダミーセル461, 462は、図2のダミーセル24に対応する。インバータ521, 522, 541, 542, 561, 562は、図2のタイミング信号出力回路26に対応し、出

カバッファ $103_1, 103_2$ は、図2の出力回路 $28$ に対応する。

【0027】前述のように構成される請求項1乃至請求項4に係る発明の動作を以下に説明する。デュアルポートメモリセル $114$ へのビットは、従来と同様にして書き込まれる。その読み出しあり、従来と同様に読み出しはう線に読み出しはう電圧を供給することによって、開始される。

【0028】前記読み出しはう線への読み出しはう電圧の供給によって、読み出されたビット電圧は、参照ビット線 $30_1, 30_2$ から供給される参照電圧との差動増幅をセンス増幅回路 $102_1, 102_2$ で行うこと自体は、以下に述べる点を除き、従来と同様であり、この差動増幅回路 $102_1, 102_2$ によって検出されたデュアルポートセルに記憶されたビットは、出力バッファ $103_1, 103_2$ を経て読み出される。この読み出しありの動作状態を説明すると、次のようになる。

【0029】読み出しはう線 $100_1, 100_2$ 上に現れる電圧と、参照ビット線 $30_1, 30_2$ 上に現れる電圧とは、図3及び図4に示すようになる。図3は、例えばデュアルポートメモリセルに“0”が記憶されている場合である。デュアルポートメモリセルに“0”が記憶されているときには、読み出しはう線に読み出しはう電圧が掛かってトランジスタ $110_1, 110_2$ が導通したとしても、導通したトランジスタ $110_1, 110_2$ を経て読み出しはう線 $100_1, 100_2$ 上の電位に変化は生じない。

【0030】しかし、参照ビット線 $30_1, 30_2$ 上の電圧は、次のようになる。即ち、MOSトランジスタ $38_1, 38_2$ は、常時導通状態にあるから、読み出しはう線 $106_1, 106_2$ に読み出しはう電圧が供給されたと、MOSトランジスタ $40_1$ が導通して参照ビット線 $30_1, 30_2$ 上の電荷を常時導通しているMOSトランジスタ $38_1, 38_2$ を経て大地電位へ放電するので、参照ビット線 $30_1, 30_2$ 上の電位は急速に下降しようとするが、ブルアップ用MOSトランジスタ $36_1, 36_2$ の働きにより、図3に示すように下降を抑圧されつつ漸減する。

【0031】これと並行して、ダミーセル $46_1, 46_2$ は、ダミーセル $34_1, 34_2$ と同じ構成なので、読み出しはう線 $106_1, 106_2$ への読み出しはう電圧の供給によりダミービット線 $42_1, 42_2$ の電圧は、急速に下降させられる。その電圧変化が、インバータ $52_1$ 、又はインバータ $52_2$ を経てセンス増幅回路 $102_1, 102_2$ へセンスイネーブル信号として供給され、又インバータ $54_1, 56_1$ 、及びインバータ $54_2, 56_2$ を更に経て出力バッファ $103_1, 103_2$ へ出力イネーブル信号として供給される。

【0032】前述のような変化しない読み出しはう線 $100_1, 100_2$ 上の電位と、時間の経過と共に変化

する参照ビット線 $30_1, 30_2$ 上の電位とから、前述のようにセンス増幅回路 $102_1, 102_2$ は、前述のようにして供給されるセンスイネーブル信号に応答してデュアルポートメモリセル $114$ に書き込まれているビット“0”を検出する。その検出されたビットは、前述のようにして出力バッファ $103_1, 103_2$ へ供給される出力イネーブル信号に応答する出力バッファ $103_1, 103_2$ を経て外部回路へ出力される。

【0033】又、デュアルポートメモリセル $114$ に書き込まれたビットが“1”である場合は、読み出しはう線 $100_1, 100_2$ 上の電圧は、デュアルポートメモリセル $114$ のMOSトランジスタ $113_1, 113_2$ の導通により、図4に示すように時間の経過と共に下降する。この場合における参照ビット線 $30_1, 30_2$ 、及びダミービット線 $42_1, 42_2$ 上に発生する電圧変化は、デュアルポートメモリセル $114$ へ書き込まれたビットが“0”である場合について説明した電圧変化と同様である。

【0034】従って、センス増幅回路 $102_1, 102_2$ は、図4に示すように大きく変化する読み出しはう線 $30_1, 30_2$ 上の電圧変化、及びセンスイネーブル信号に応答して“1”を検出し、その“1”を出力バッファ $103_1, 103_2$ を経て外部回路へ出力する。

【0035】この読み出しあり供される参照電圧は、読み出しはう線 $30_1, 30_2$ と同じ負荷構成の参照ビット線 $30_1, 30_2$ から供給されるから、読み出しはう線 $100_1, 100_2$ にノイズが乗ったとしても、そのノイズは、又参照ビット線 $30_1, 30_2$ にも同等に乗るから、差動増幅されてのビットの検出には殆ど影響を及ぼさない。プロセスのばらつき、配線容量の差異もほぼ同じになる。従って、タイミングのずれ、電位変化もほぼ同じになり、タイミングマージン及びノイズマージンを大きく取ることが可能になる。又、読み出しはう線 $100_1, 100_2$ 上の電圧変化を小振幅にしているから、従来のフルスイングの場合のようなビットの読み出しありに時間が掛かることは無くなるし、又消費電力も少なくて済む。

【0036】又、センスイネーブル信号及び出力イネーブル信号は、読み出しはう線 $30_1, 30_2$ と同じ負荷構成のダミービット線 $42_1, 42_2$ 、そしてインバータ $52_1, 52_2$ を経てセンス増幅回路 $102_1, 102_2$ へ、又インバータ $54_1, 54_2$ 、インバータ $56_1, 56_2$ を経て出力バッファ $103_1, 103_2$ へ供給されるから、プロセスのばらつき、配線容量の変化等も、読み出しはう線 $100_1, 100_2$ と、ダミービット線 $42_1, 42_2$ とでは、ほぼ同等となり、タイミング信号のずれ、電圧の変化もほぼ同等になる。従って、タイミングマージンが大きく取れ、タイミング合わせが容易になる。

【0037】前述した作用効果は、デュアルポートメモ

り内の他のデュアルポートメモリセルでも同様である。なお、前記実施例におけるダミーピット線を従来のタイミング信号の供給回路（図6参照）で代替してもよい。

【0038】

【発明の効果】以上説明したように本発明によれば、参照電圧供給回路を読み出しビット線と同じ負荷構成とし、参照ビット線をブルアップ回路でブルアップしたので、ノイズマージンを大きくしつつ、読み出しを高速にし、消費電力を少なくすることができる。又、センスインエーブル信号及び出力インエーブル信号の供給回路を読み出しビット線と同じ負荷構成としたことにより、プロセスのばらつき、配線容量などの違いによるタイミング及び電位のずれに対する余裕度を大きくすることができる。

【図面の簡単な説明】

【図1】請求項1に記載する発明の原理ブロック図である。

【図2】請求項2乃至請求項4に記載する発明の原理ブロック図である。

【図3】請求項1乃至請求項4に記載する発明の一実施例を示す図である。

【図4】デュアルポートメモリセルに“0”が書き込まれている場合の読み出しビット線と参照ビット線との電位変化を示す図である。

【図5】デュアルポートメモリセルに“1”が書き込まれている場合の読み出しビット線と参照ビット線との電位変化を示す図である。

【図6】デュアルポートメモリセルの読み出し電圧に微小変化を生じさせて読み出す形式のマルチポートメモリの構成を示す図である。

【図7】図6に示すデュアルポートメモリセルの構成を詳細に示す図である。

【図8】デュアルポートメモリセルの読み出し電圧をフルスイングさせて読み出す形式のデュアルポートメモリの構成を示す図である。

【図9】図8に示すデュアルポートメモリセルの構成を示す図である。

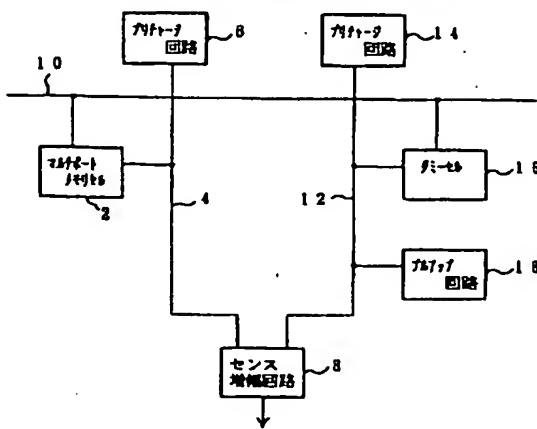
【符号の説明】

2 マルチポートメモリセル  
4 読み出しビット線

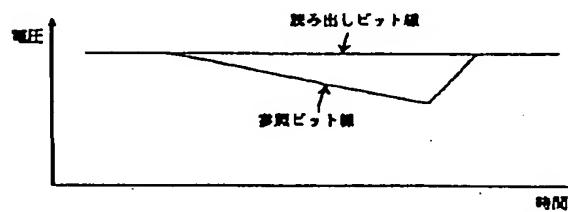
6	プリチャージ回路
8	センス増幅回路
1 0	読み出しワード線
1 2	参照ビット線
1 4	プリチャージ回路
1 6	ダミーセル
1 8	ブルアップ回路
2 0	ダミーピット線
2 2	プリチャージ回路
2 4	ダミーセル
2 6	タイミング信号出力回路
2 8	出力回路
3 2 1	プリチャージ回路
3 2 2	プリチャージ回路
3 4 1	ダミーセル
3 4 2	ダミーセル
3 6 1	ブルアップMOSトランジスタ
3 6 2	ブルアップMOSトランジスタ
4 2 1	ダミーピット線
4 2 2	ダミーピット線
4 4 1	プリチャージ回路
4 4 2	プリチャージ回路
4 6 1	ダミーセル
4 6 2	ダミーセル
5 2 1	インバータ
5 2 2	インバータ
5 4 1	インバータ
5 4 2	インバータ
5 6 1	インバータ
5 6 2	インバータ
1 0 0 1	読み出しビット線
1 0 0 2	読み出しビット線
1 0 7 1	プリチャージ回路
1 0 7 2	プリチャージ回路
1 0 2 1	センス増幅回路
1 0 2 2	センス増幅回路
1 0 6 1	読み出しワード線
1 0 6 2	読み出しワード線
1 1 4	デュアルポートメモリセル

【図1】

請求項1に記載する発明の原理ブロック図

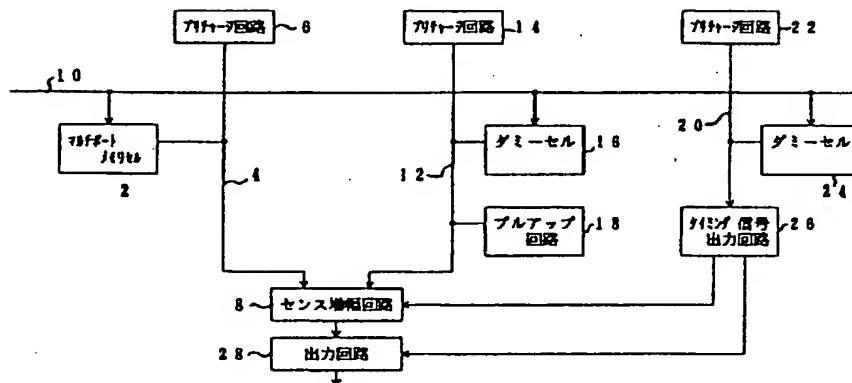


【図4】

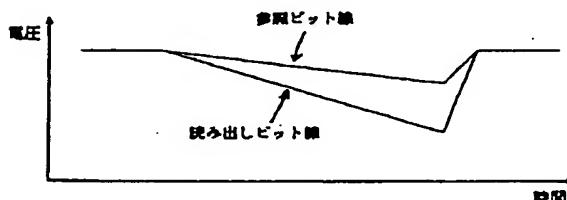
デュアルポートメモリセルに"0"が書き込まれている場合の  
読み出しビット線と参照ビット線との電位変化を示す図

【図2】

請求項2乃至請求項4に記載する発明の原理ブロック図

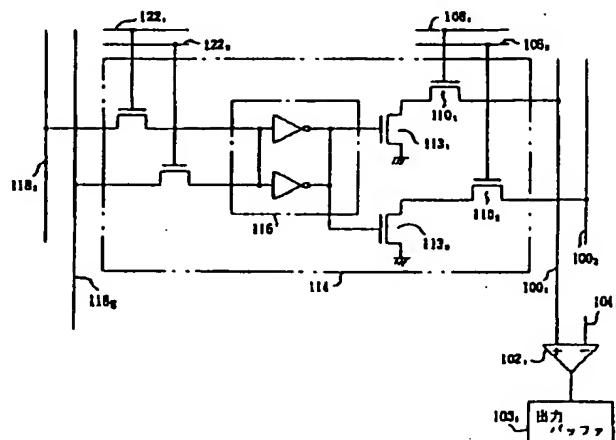


【図5】

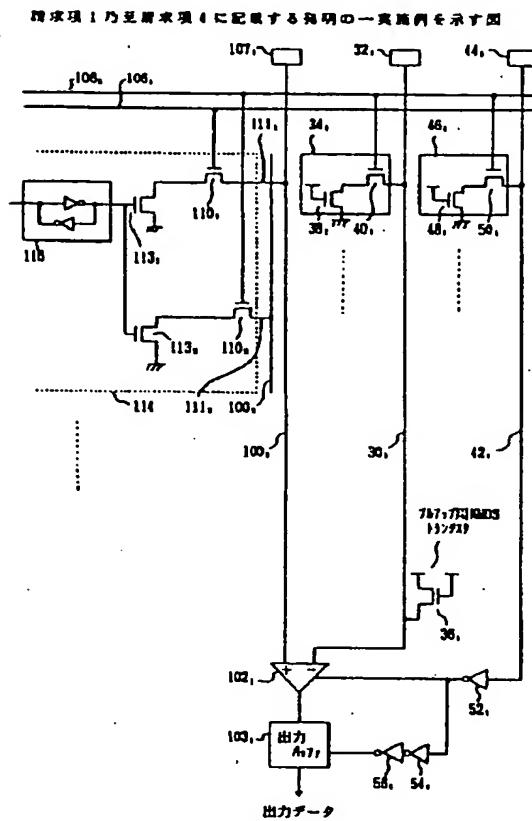
デュアルポートメモリセルに"1"が書き込まれている場合の  
読み出しビット線と参照ビット線との電位変化を示す図

【図7】

図8に示すデュアルポートメモリセルの構成を詳細に示す図

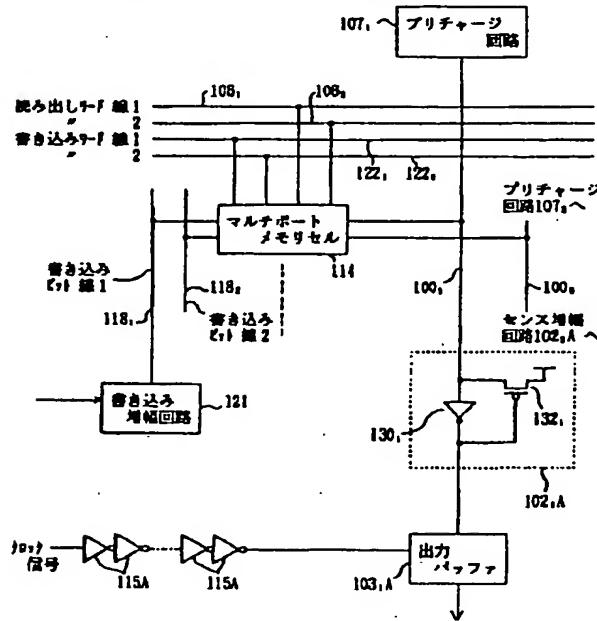


(图 3)



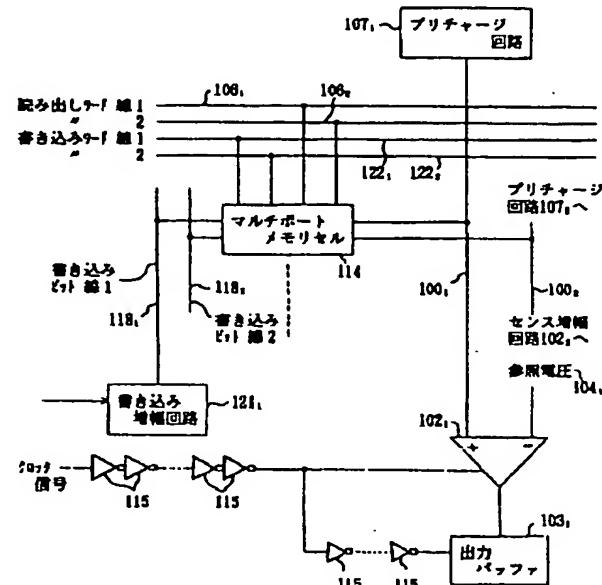
〔図8〕

デュアルポートメモリセルの読み出し電圧をフルスイングさせて読み出す形式のデュアルポートメモリの構成を示す図



(图 6)

デュアルポートノモリセルの読み出し電圧に微小変化を生じさせて読み出す形式のデュアルポートノモリの構成を示す図



[图 9]

図8に示すデュアルポートメモリセルの構成を詳細に示す図

